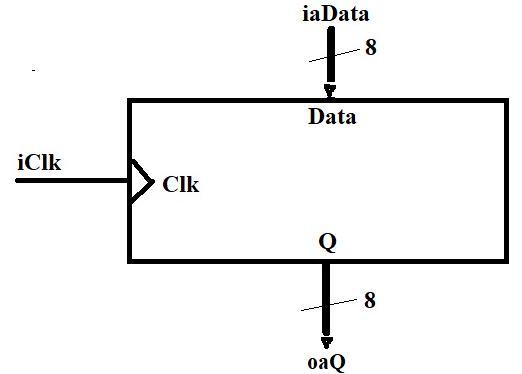
**Laborator 3**

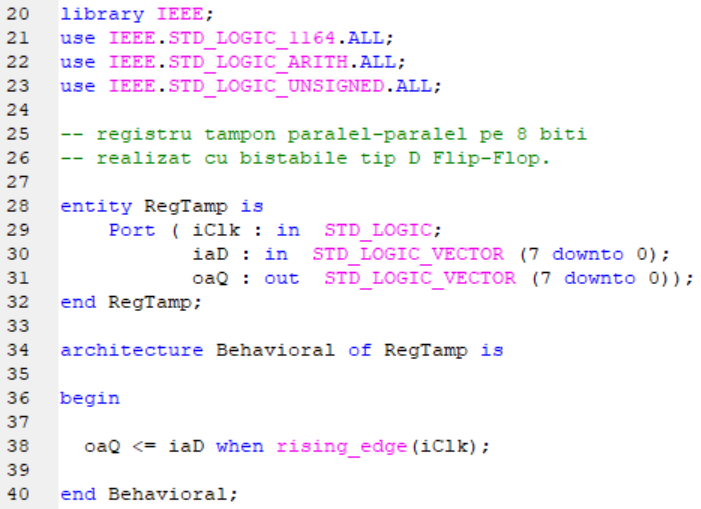
**Modelare/simulare registre**

* 1. **Modelare unui registru tampon (paralel-paralel)**

Registrul este realizat cu bistabile tip D Flip-Flop.



**Fig. 3.1**



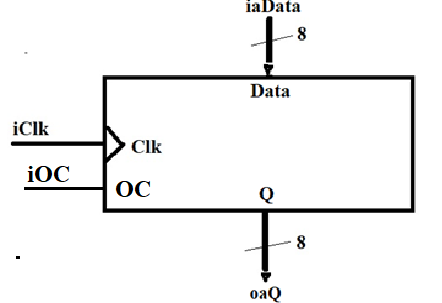
**Fig. 3.2**

* 1. **Modelarea unui registru tampon cu ieṣiri tri-state**

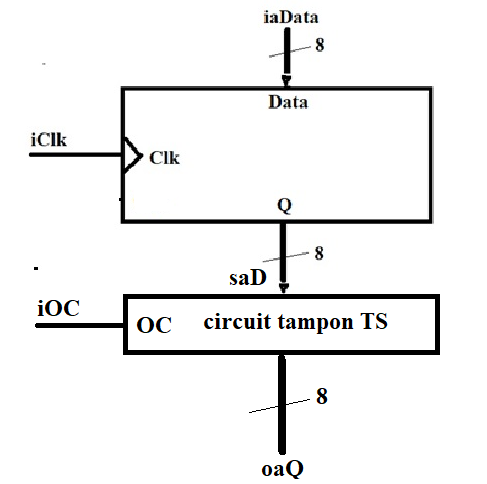
Starea ieṣirii este controlată cu semnalul **iOC**. Dacă iOC=’0’ ieṣirile sunt în stare de impedanţă ridicată. Dacă iOC=’1’ ieṣirile sunt întruna din stările logice **L** sau **H**.

Schema bloc este cea din Fig. 3.3a. Schema bloc rafinată este prezentată în Fig. 3.3b.

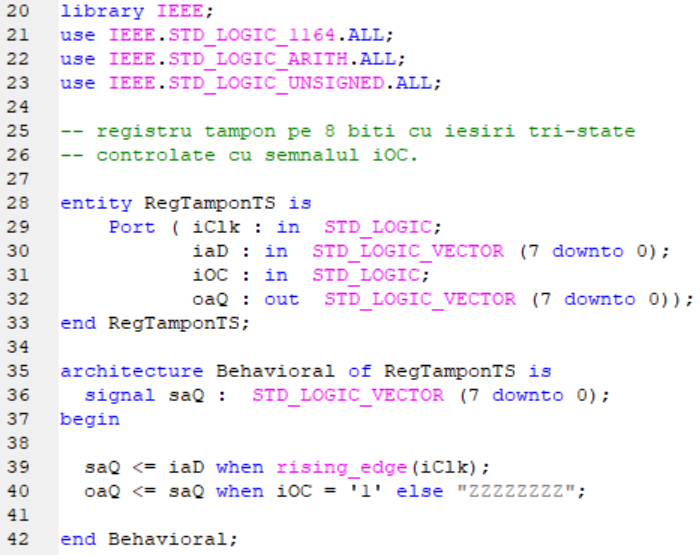
Modelul VHDL este cel din Fig. 3.4.



**Fig. 3.3a**

****

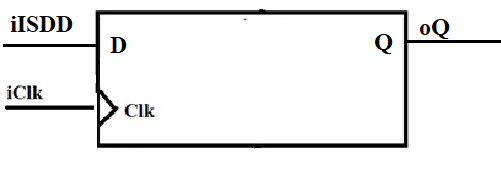
**Fig. 3.3b**

****

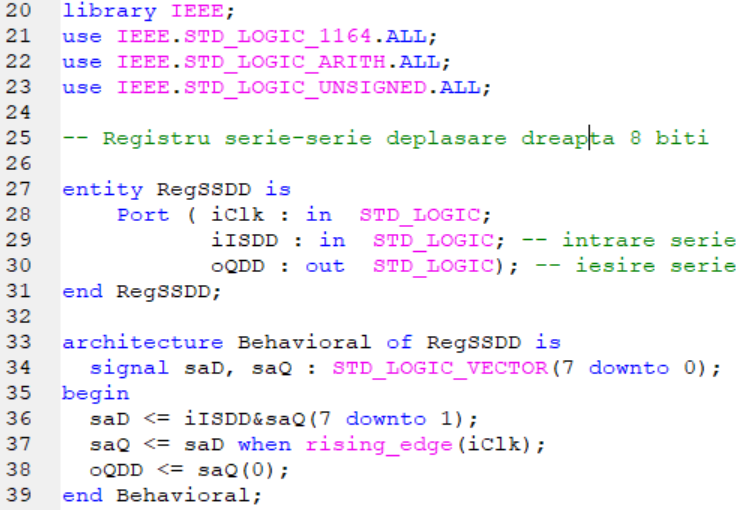
**Fig. 3.4**

* 1. **Modelarea unui registru serie-serie pe 8 biti cu deplasare dreapta**

Schema bloc este prezentată în Fig. 3.5 iar modelul VHDL este dat în Fig. 3.6.



**Fig. 3.5**

****

**Fig. 3.6**

* 1. **Modelarea VHDL a unui registru cu două regimuri de lucru**

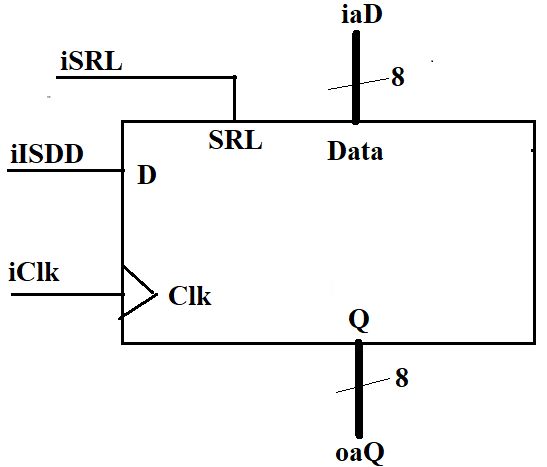
Schema bloc este cea din Fig. 3.7a. Regimul de lucru este selectat prin valoarea semnalului iSRL după regula:

iSRL=0 🡺 deplasare dreapta;

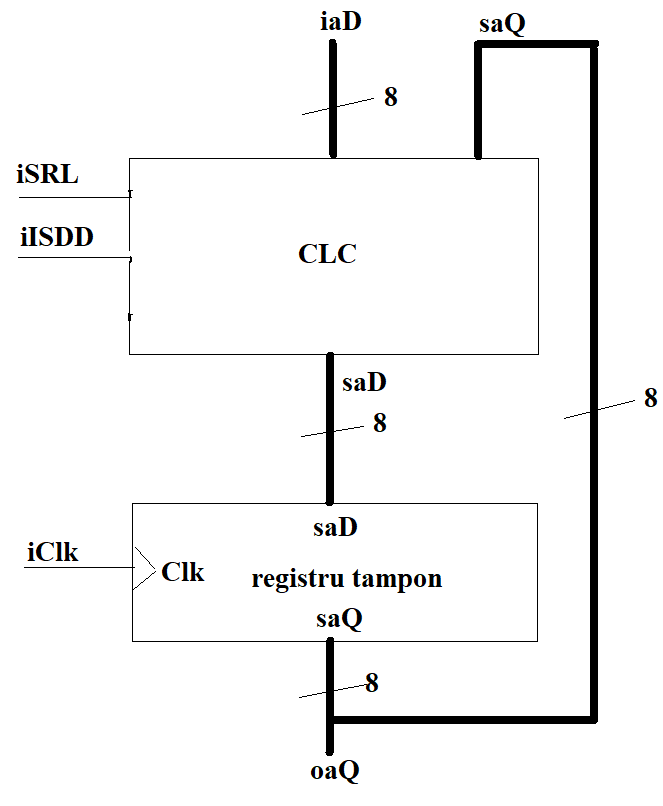
iSRL=1 🡺 încărcare paralelă.

Schema bloc rafinată este cea din Fig. 3.7b

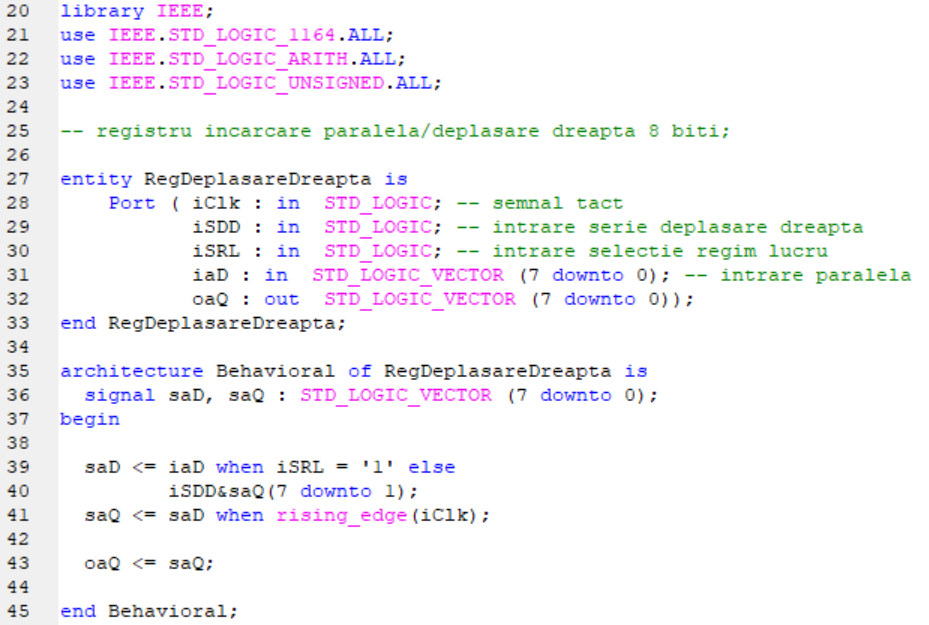
Modelul VHDL este cel din Fig. 3.8.



**Fig. 3.7a**



**Fig. 3.7b**

****

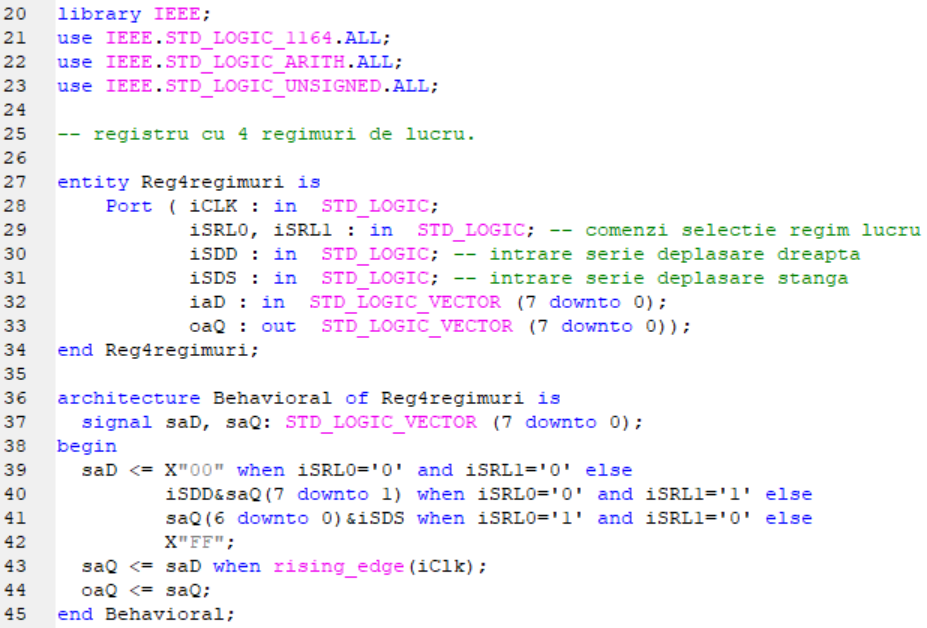
**Fig. 3.8**

**3.5 Modelarea unui registru cu 4 regimuri de lucru**

Cele 4 regimuri de lucru vor fi selectate cu ajutorul semnalelor **iSRL0** respectiv **iSRL1** după cum se vede în tabelul din Fig. 3.9.

|  |  |  |
| --- | --- | --- |
| **iSRL1** | **iSRL0** | **Regim lucru** |
| 0 | 0 | Ṣtergere sincronă |
| 0 | 1 | Deplasare dreapta |
| 1 | 0 | Deplasare stậnga |
| 1 | 1 | Setare sincronă |

**Fig. 3.9**

****

**Fig. 3.10**

1. **Desfăṣurarea lucrării**
2. **Se vor sintetiza schemele prezentate mai sus.**
3. **Se va simula funcţionarea fiecărei scheme ṣi se vor formula concluziile corespunzătoare.**
4. **Se va sintetiza un registru cu 4 regimuri de lucru ṣi cu ieṣiri TS controlate cu semnalul iOC.**

**Vor fi simulate funcţionarea ideală ṣi funcţonarea cu ǐntărzieri a schemei sintetizate.**